

СПОСОБЫ ОПТИМИЗАЦИИ СХЕМ СОВМЕЩЕННЫХ МИКРОПРОГРАММНЫХ АВТОМАТОВ В БАЗИСЕ FPGA

Баркалов А.А.

Зеленева И.Я.

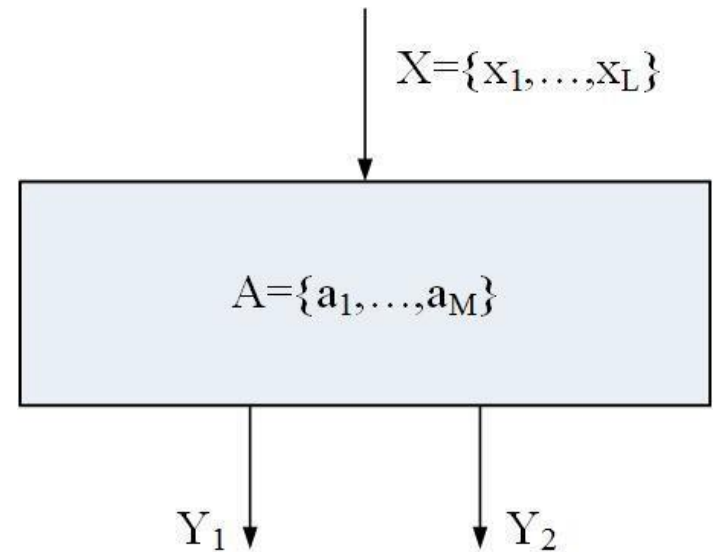
Грушко С.С.

Михайлютенко Д.Ю.

Докладчик:

аспирант кафедры КСС, ассистент Грушко С.С.

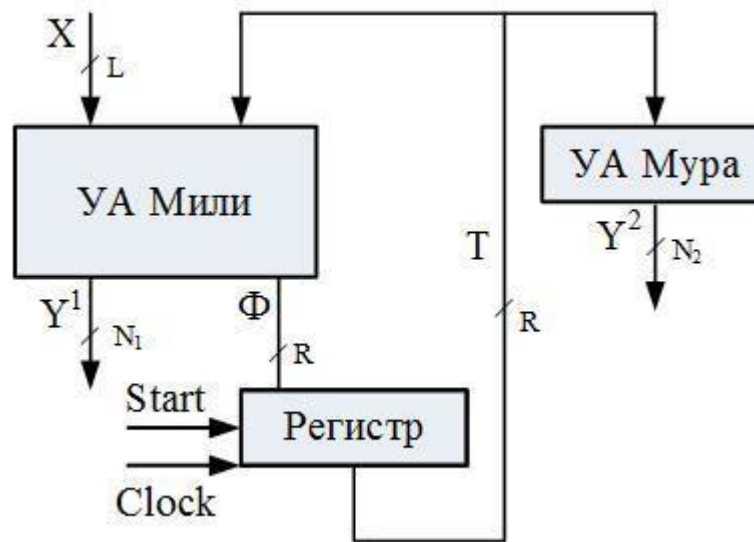
Модель сложной цифровой системы



$$Y_1(t) = \lambda_1(a(t), x(t))$$

$$Y_2(t) = \lambda_2(a(t))$$

Структура совмещенного микропрограммного автомата



X – множество входных сигналов разрядностью L

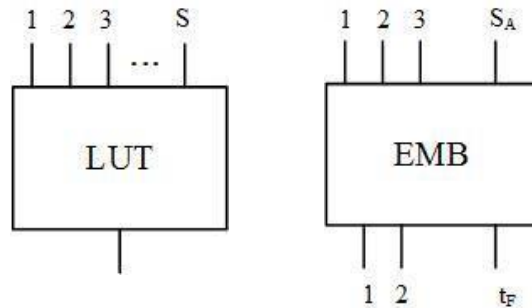
Φ – множество функций возбуждения памяти разрядностью R

T – множество внутренних переменных разрядностью R

Y_1 – множество выходных функций управляющего автомата Мили разрядностью N_1

Y_2 – множество выходных функций управляющего автомата Мура разрядностью N_2

Структурные особенности FPGA

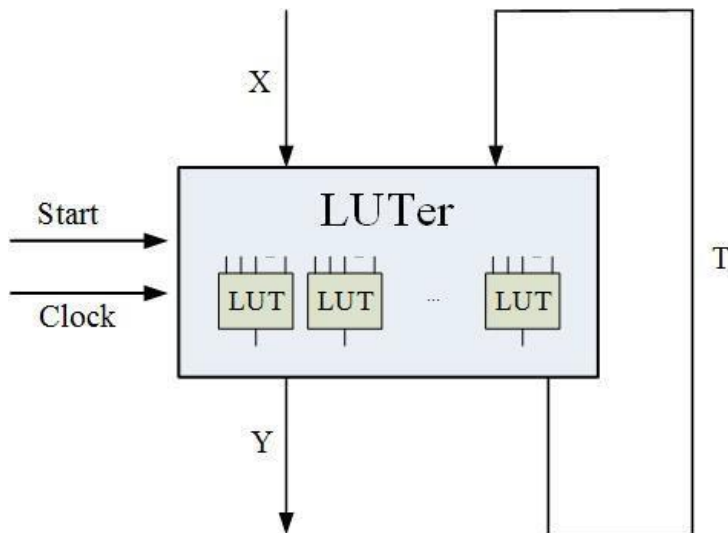


$$V_0 = 2^A \cdot t$$

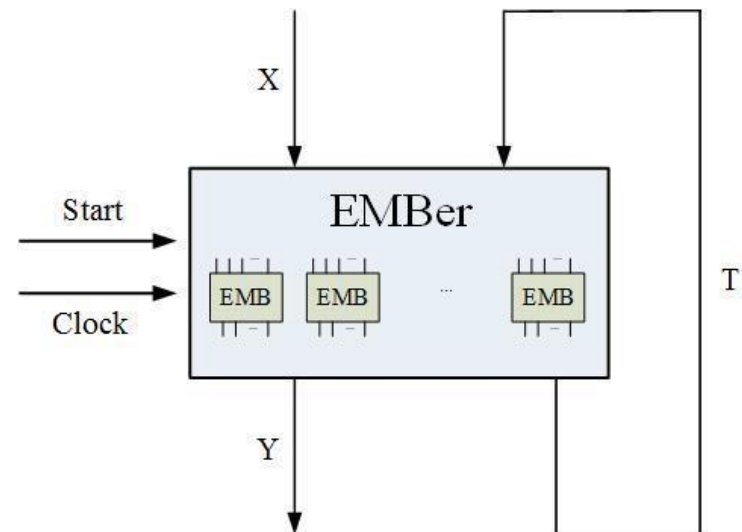
F

Емкость блока EMBer

Структурные схемы блоков LUT и EMBer



Блок из элементов LUT - LUTer



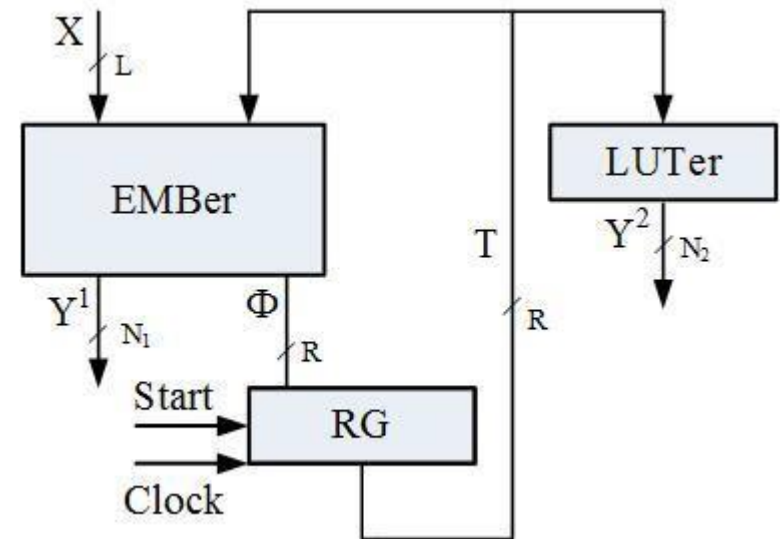
Блок из элементов EMB - EMBer

Тривиальная реализация совмещенного автомата в базисе FPGA

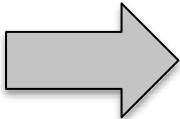
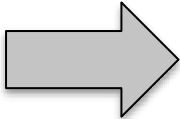
$$2^{L+1} (N_1 + R) \leq V_0$$

$$2^{L+1} (N + R) > V_0$$

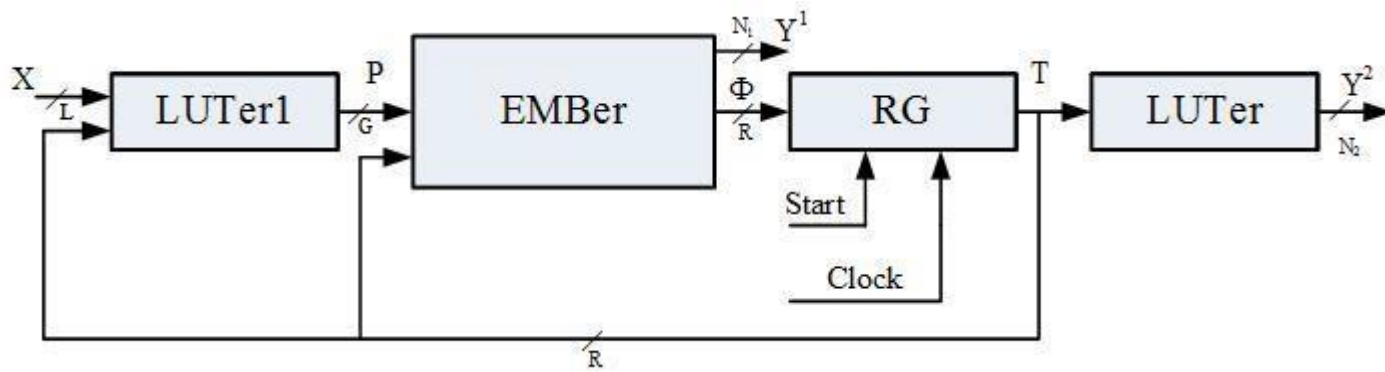
$$R \leq S$$



Нетривиальные случаи матричной реализации структуры СМПА (общие принципы)

- а) $(L+R) > S_A$  Итерационный алгоритм расширения по входам
- б) $(N_1+R) > t_f$  Простое расширение по выходам

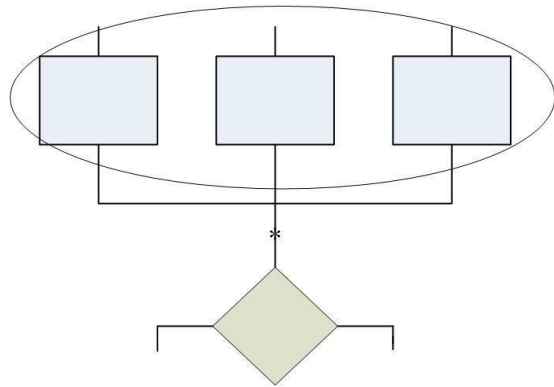
Метод замены логических условий



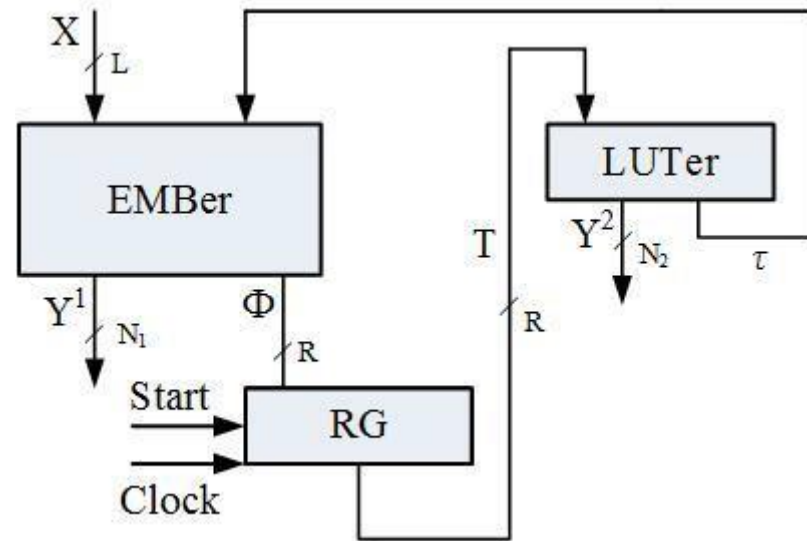
При нарушении неравенства $2^{L+R} (N_1 + R) \leq V_0$

множество входных сигналов X разрядностью L
заменяется множеством переменных P разрядностью G

Использование псевдоэквивалентности состояний в СМПА



В один класс псевдоэквивалентности входят все состояния автомата Мура, эквивалентные одному и тому же состоянию автомата Мили.



Модернизация процесса проектирования БУК.

Основные этапы

- Преобразование исходного алгоритма функционирования БУК к виду закодированной граф-схемы алгоритма (ГСА).
- Описание полученной ГСА алгоритма на языках Verilog, VHDL. Проверка временных диаграмм функционирования устройства.
- Имплементация проекта в стандартные микросхемы FPGA, CPLD. Исследование разных вариантов с целью получения автоматических отчетов и сравнения характеристик. Выбор лучших стандартных вариантов.
- Применение к стандартным решениям теоретических методов оптимизации схемы БУК по критерию уменьшения требуемой площади кристалла [3].
- Проверка корректности функционирования оптимизированной схемы. Выбор лучшего варианта.
- Оценка экономической эффективности решения задачи оптимизации схемы БУК.